بسمه تعالی

زمان نصب در تابلوی اعلانات:

☐ دفاع از رساله دکتری ☐ سمینار عمومی (Colloquium)

☒ دفاع از پایان‌نامه کارشناسی‌ارشد ☐ سمینار تخصصی (Seminar)

☐ سمینار تخصصی و مشورتی (Informal Seminar)

عنوان : توسعه سلول های اسکن حاشیه ای با هدف بهینه سازی تلاش لازم برای اعمال بردارهای ورودی راستی آزمایی و استخراج نتیجه های فرایند راستی آزمایی

سخنران : علی ثقفی

چکیده: امروزه با پیچیده‌تر شدن تراشه‌ها، بررسی سلامت و آزمون‌پذیر کردن آن‌ها بر عهده سخت‌افزارهای مبتنی بر جاروب اطلاعات از داخل تراشه قرار گرفته است. غالبا این سخت‌افزارها بر مبنای طرح جاروب و استانداردهای توسعه یافته بر مبنای آن نظیر IEEE std 1149.1(JTAG)، IEEE std 1500 و IEEE std 1687(IJTAG) پیاده‌سازی می‌شوند. ورودی‌های راستی‌آزمایی با کمک مدل‌های ایراد (که خرابی‌های فیزیکی سامانه‌های بر تراشه را مدل می‌کنند) طراحی، شبیه‌سازی و در کتابخانه‌ای مختص به هر تراشه گردآوری می‌شوند. این بردارها با کمک سخت افزارهای آزمون افزوده شده به سامانه بخش‌های داخلی سامانه را مورد راستی‌آزمایی قرار می‌دهند و پاسخ هر بخش را از سامانه استخراج می‌کنند. سپس پاسخ‌ها مورد بررسی قرار می‌گیرند و سلامت بخش‌های مختلف مورد بررسی قرار می‌گیرد. این فرآیند با توجه به بخش‌های متعدد و روز افزون سامانه‌های بر تراشه، فرآیندی زمان‌بر و پر هزینه است. کاهش زمان فرآیند آزمون، یکی از اهداف توسعه سخت‌افزارهای آزمون است. این هدف از جنبه‌های مختلفی نظیر پیکربندی ثبات‌ها، ترتیب اعمال بردارهای ورودی، طول زنجیرهای جاروب، واسط آزمون و فشرده‌سازی پاسخ‌های آزمون مورد بررسی قرار می‌گیرد. همچنین بدلیل خاصیت ذاتی دسترسی به اطلاعات داخل تراشه، امکان سواستفاده از این ابزار برای هدف‌های زیادی نظیر مهندسی معکوس، اختلال در عملکرد سامانه بر تراشه، استخراج کلیدهای رمزنگاری و ... وجود دارد. در این پژوهش به معرفی یک طرح با هدف کاهش زمان آزمون، تحمل‌خرابی در زنجیرهای جاروب و امکان پیکربندی هسته‌های مختلف یک سامانه بر تراشه مبتنی بر شبکه بر تراشه پرداخته شده است، این طرح امکان دسترسی به تمامی هسته‌ها حتی در صورت خرابی زنجیرهای جاروب در برخی هسته‌ها را فرآهم آورده است، همچنین بدلیل استفاده از IEE std 1687 قابلیت استفاده از IPهای مبتنی بر استانداردهای دیگر را دارد. برای محافظت از سامانه‌برتراشه سازوکاری خلاقانه به نام TAP Switch Box معرفی گردیده است که مساحت بسیار ناچیزی را طلب می‌کند و برای توسعه آن نیز مسیری پیش‌بینی گردیده است. برای کنترل و آزمودن تراشه‌های مبتنی بر استانداردهای یاد شده و آموزش استانداردها یک واسط آزمون طراحی گردیده است.

زمان برگزاری: دوشنبه ۱۳۹۴/۱۰/۲۱ ساعت ۱۱:۳۰

مکان برگزاری: دانشکده برق